

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請 日 西元 2002 年 12 月 17 日
Application Date

申請 案 號：091136416
Application No.

申請 人：南亞科技股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 2 月 11 日
Issue Date

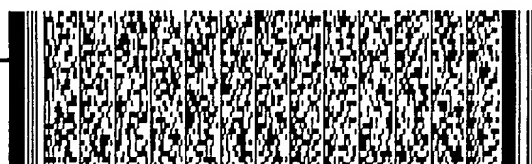
發文字號：09220118280
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	具有垂直型電晶體與深溝槽電容器之記憶體裝置及其製造方法
	英文	Memory device with vertical transistors and deep trench capacitors and fabricating method thereof
二、 發明人 (共5人)	姓名 (中文)	1. 吳鐵將 2. 黃建章 3. 黃慶玲
	姓名 (英文)	1. Tie-Jiang Wu 2. Chien-Chang Huang 3. Chin-Ling Huang
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中文)	1. 宜蘭縣三星鄉萬德村93-7號 2. 台北縣板橋市國泰里14鄰實踐路93巷59號3樓之1 3. 台北縣樹林市中華路281號6-5樓
	住居所 (英文)	1. 2. 3.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 南亞科技股份有限公司
	名稱或姓名 (英文)	1. Nanya Technology Corporation.
	國籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共5人)	姓 名 (中 文)	4. 姜伯青 5. 丁裕偉
	姓 名 (英 文)	4. Bo-Ching Jiang 5. Yu-Wei Ting
	國 籍 (中 英 文)	4. 中華民國 TW 5. 中華民國 TW
	住居所 (中 文)	4. 花蓮縣吉安鄉東海五街35號 5. 台北市內湖區文德路66巷69弄14號2樓
	住居所 (英 文)	4. 5.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住居所 (營業所) (中 文)	
	住居所 (營業所) (英 文)	
	代表人 (中 文)	
	代表人 (英 文)	



四、中文發明摘要 (發明名稱：具有垂直型電晶體與深溝槽電容器之記憶體裝置及其製造方法)

本發明提供一種具有垂直型電晶體與深溝槽電容器之記憶體裝置，包括複數深溝電容器，設置於一基板中，其中相鄰兩列之複數深溝槽電容器以交錯的方式排列；複數條字元線，係大體上沿著一第一方向，設置於複數深溝槽電容器之上方，複數條字元線對應於複數深溝槽電容器作為閘極之用；複數條主動區，大體上沿著一第二方向，設置於基板中，且每一主動區覆蓋於深溝槽電容器之區域的兩側邊上各具有一凹陷部，其中各凹陷部之兩側邊係沿著45度角向內限縮一既定寬度。

伍、(一)、本案代表圖為：第5圖。

(二)、本案代表圖之元件代表符號簡單說明：

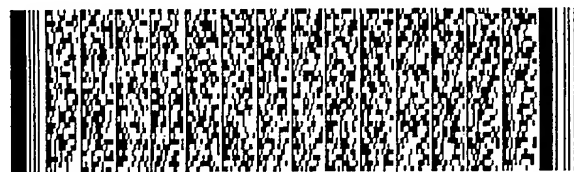
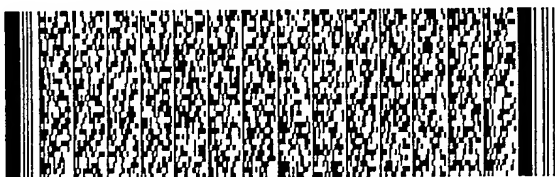
10~深溝槽電容器；

12~字元線；

14~主動區；

陸、英文發明摘要 (發明名稱：Memory device with vertical transistors and deep trench capacitors and fabricating method thereof)

Memory device with vertical transistors and deep trench capacitors. A plurality of deep trench capacitors are deposited in a substrate, and deep trench capacitors in the adjacent rows are positioned in an interlaced arrangement. A plurality of word lines are deposited above the deep trench capacitors along a first direction substantially, and the word lines corresponding to

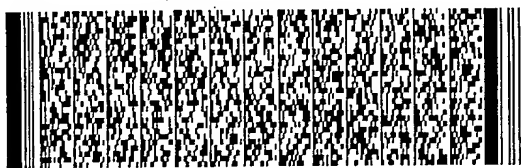


四、中文發明摘要 (發明名稱：具有垂直型電晶體與深溝槽電容器之記憶體裝置及其製造方法)

15~凹陷部。

陸、英文發明摘要 (發明名稱：Memory device with vertical transistors and deep trench capacitors and fabricating method thereof)

the deep trench capacitors are served as gates. A plurality of active areas are deposited in the substrate along a second direction, and each region of active areas, which covers the deep trench capacitors, has two concaves on both sides, such that the active area retracts to a predetermined width along an angle of about 45° .



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

☐熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

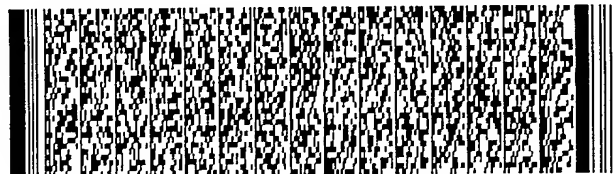
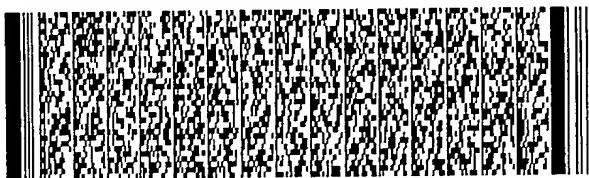
【發明所屬之技術領域】

關於一種記憶體裝置，特別是有關於一種具有垂直型電晶體與深溝槽電容器之記憶體裝置及其製造方法。

【先前技術】

如第1圖中所示，為傳統具有垂直型電晶體與深溝槽電容器之記憶體裝置的佈局圖，其中複數深溝電容器10係設置於一基板中，相鄰兩列之複數深溝槽電容器10以交錯的方式排列。複數條字元線12會大體上沿著垂直方向，設置於上述複數深溝槽電容器10之上方，複數條字元線12對應於複數深溝槽電容器10作為閘極之用。複數條主動區14，大體上沿著水平方向設置於上述基板中，且每一主動區14覆蓋於一深溝槽電容器10之上方。

儘管於第1圖中深溝槽電容器10為矩形的，但由於製程上的因素，事實上深溝槽電容器10會是一個八角形，如第2A圖中所示。如第2B圖中所示，係為主動區14發生偏移之上視圖。第3A圖係為第2B圖中區域19之放大圖，通常區域21係為電晶體之閘極氧化層(gate oxide)，區域23係為主動區之一部分，材料為矽(Si)。區域25為主動區之另一部分，亦為電晶體之閘極區域，材料為複晶矽。而區域27係為深溝槽隔離區，材料為氧化矽。由於部分主動區14係未垂直於深溝槽電容器之側邊29，且具有一夾角 θ_1 。因此，會形成一個所謂SOI(silicon on isolation)的結構，如3B圖中所示。其中，隨著夾角 θ_1 愈小，則寬度W也愈小。因此，第3B圖中電晶體之臨界電壓也愈小，如第3C圖



五、發明說明 (2)

中所示。

由此可知，傳統具有垂直型電晶體與深溝槽電容器之記憶體裝置，在主動區發生偏移時，將會造成電晶體臨界電壓變小，因此造成誤動作或漏電。

【發明內容】

有鑑於此，本發明之首要目的在於提供一種具有垂直型電晶體與深溝槽電容器之記憶體裝置及其製造方法，能夠於主動區之偏移，具有更大的誤差容限。

本發明提供一種具有垂直型電晶體與深溝槽電容器之記憶體裝置，包括一基板；複數深溝電容器，設置於上述基板中，其中相鄰兩列之上述複數深溝槽電容器以交錯的方式排列；複數條字元線，係大體上沿著一第一方向，設置於上述複數深溝槽電容器之上方，上述複數條字元線對應於上述複數深溝槽電容器作為閘極之用；一絕緣層，設置於每一閘極和每一深溝槽電容器之間；複數條主動區，大體上沿著一第二方向，設置於上述基板中，且每一主動區覆蓋於上述深溝槽電容器之區域的兩側邊上各具有一凹陷部；二源極，設置於每一深溝槽電容器兩側之上述主動區中；以及二汲極，設置於每一閘極兩側之上述主動區中。

於本發明之實施例中，各凹陷部之兩側邊最好係沿著45度角向內限縮一既定寬度。

【實施方式】

如第4圖中所示，於本發明首先係於一基板中形成複



五、發明說明 (3)

數深溝槽，其中相鄰兩列之複數深溝槽以交錯的方式排列，然後，於上述複數深溝槽中，形成複數深溝槽電容器10，因此，相鄰兩列之複數深溝槽電容器10以交錯的方式排列。

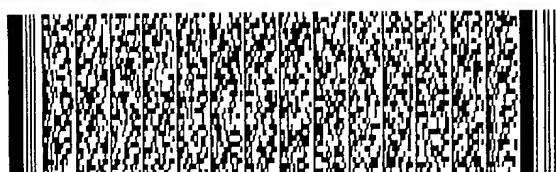
接著，以熱擴散方式，於深溝槽電容器10之兩側，形成兩個源極12S，然後，於每一深溝槽電容器10及溝槽的側壁之上形成一氧化層，其中覆蓋於深溝槽電容器10之氧化層作一絕緣層121，而於溝槽側壁上之氧化層作為電晶體T12之閘極氧化層。

接下來，沿著一第一方向，例如垂直方向，設置複數字元線12，於複數深溝槽電容器10之上方，每一條字元線12對應於一深溝槽電容器10作為閘極之用，且絕緣層121係位於深溝槽電容器10與字元線12之間，其中字元線係由多晶矽材料所構成。

然後，以溝槽隔離的方式，定義複數主動區14。並以字元線12為罩幕，實行離子植入，以於字元線12兩側之基板中，各形成一汲極12D。因此，汲極12D、源極12S、閘極氧化層12GX以及字元線(閘極)12一同建構成一垂直型電晶體T12。

接著，沿著一第二方向，例如水平方向，設置複數位元線16，複數主動區14之上方，每一條位元線16係藉由複數個位元線插塞而以主動區中之汲極12D電性連接。

其中，本發明之主要特徵係在於，每一主動區14係對應於複數深溝槽電容器10之一列，並且每一主動區14覆蓋



五、發明說明 (4)

於深溝槽電容器10之區域的兩側邊上各具有一凹陷部15，各凹陷部15之兩側邊151係沿著一既定角度 θ_2 ，於本例中為45度角，向內限縮一既定寬度W1，如第6A圖中所示。

本發明之具有垂直型電晶體與深溝槽電容器之記憶體裝置的佈局圖係如第5圖中所示，其中第4圖係為第5圖沿著線段AA之剖面圖。於第5圖中，複數深溝電容器10，設置於一基板中，其中相鄰兩列之複數深溝槽電容器10以交錯的方式排列；複數條字元線12，係大體上沿著一第一方向，設置於複數深溝槽電容器10之上方，複數條字元線12對應於複數深溝槽電容器10作為閘極之用；一絕緣層121，設置於每一閘極和每一深溝槽電容器10之間；複數條主動區14，大體上沿著一第二方向，設置於基板中，且每一主動區14覆蓋於深溝槽電容器10之區域的兩側邊(未示於第5圖中)上各具有一凹陷部15；二源極12S，設置於每一深溝槽電容器10兩側之主動區14中；以及二汲極12S，設置於每一閘極兩側之主動區14中。其中各凹陷部15之兩側邊151係最好是沿著45度角，向內限縮一既定寬度W1，如第6A圖中所示，但不以限定為45度角。

第6B圖係為本發明之主動區14發生偏移時之上視圖。由於本發明之每一主動區14覆蓋於深溝槽電容器10之區域的兩側邊上各具有一凹陷部15，且各凹陷部15之兩側邊151係最好是沿著45度角，向內限縮一既定寬度W1。因此，當主動區發生偏移時，凹陷部15之兩側邊151與深溝

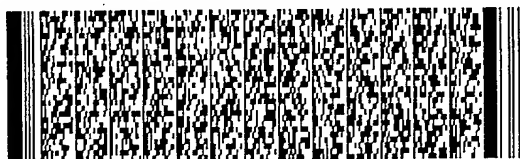


五、發明說明 (5)

電容器10之側邊29的夾角 θ_3 會大約為90度。隨著夾角 θ_3 愈大，如3B圖中所示之SOI結構中寬度W也愈大。因此，第3B圖中電晶體之臨界電壓也愈大，如第3C圖中所示。

故深溝槽電容器上方之垂直型電晶體，愈不易受到主動區偏移，而產生臨界電壓下降或誤動作。如第7圖中所示，為一主動區偏移量與垂直電晶體之臨界電壓的關係圖，曲線C1為第1圖中記憶體裝置中主動區偏移量與垂直電晶體之臨界電壓的關係；曲線C2係為本發明之記憶體裝置中主動區偏移量與垂直電晶體之臨界電壓的關係。也就是說，本發明之具有垂直型電晶體與深溝槽電容器之記憶體裝置，能夠於主動區之偏移，具有更大的誤差容限。

雖然本發明已以較佳實施例揭露如上，然其並非用以限制本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做更動與潤飾，因此本發明之保護範圍當事後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係為傳統具有垂直型電晶體與深溝槽電容器之記憶體裝置的佈局圖。

第2A圖係為第1圖中深溝槽電容器之示意圖。

第2B圖係為第1圖中主動區14發生偏移時之上視圖。

第3A圖係為第2B圖中區域19之放大圖。

第3B圖係為一SOI的結構之示意圖。

第3C圖係為第3A圖中夾角與電晶體臨界電壓之曲線圖。

第4圖係為本發明之具有垂直型電晶體與深溝槽電容器之記憶體裝置的剖面。

第5圖係為本發明之記憶體裝置之上視圖。

第6A圖係為本發明中深溝槽電容器與主動區之上視圖。

第6B圖係為第6A圖中主動區發生偏移時之上視圖。

第7圖係為主動區之偏移量與電晶體之臨界電壓的關係圖。

【符號說明】

10~深溝槽電容器；

12~字元線；

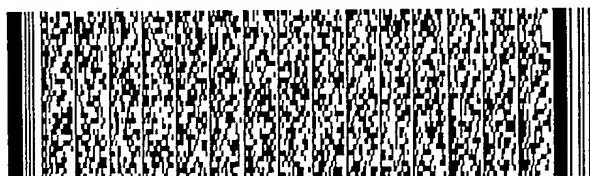
14~主動區；

16~位元線；

29~側邊；

121~絕緣層；

12S~源極；



圖式簡單說明

12D~ 汲 極 ；

12T~ 垂 直 型 電 晶 體 ；

12GX~ 閘 極 氧 化 層 ；

15~ 凹 陷 部 ；

151~ 凹 陷 部 之 側 邊 ；

29~ 深 溝 電 容 器 之 側 邊 。



六、申請專利範圍

1. 一種具有垂直型電晶體與深溝槽電容器之記憶體裝置，包括：

一基板；

複數深溝電容器，設置於上述基板中，其中相鄰兩列之上述複數深溝槽電容器以交錯的方式排列；

複數條字元線，係大體上沿著一第一方向，設置於上述複數深溝槽電容器之上方，上述複數條字元線對應於上述複數深溝槽電容器作為閘極之用；

一絕緣層，設置於每一閘極和每一深溝槽電容器之間；

複數條主動區，大體上沿著一第二方向，設置於上述基板中，且每一主動區覆蓋於上述深溝槽電容器之區域的兩側邊上各具有一凹陷部；

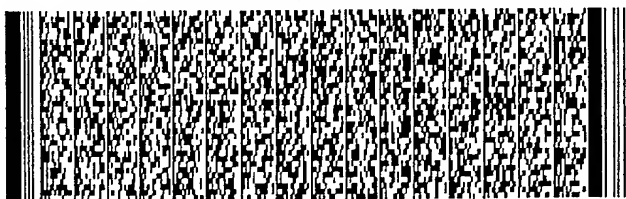
二源極，設置於每一深溝槽電容器兩側之上述主動區中；以及

二汲極，設置於每一閘極兩側之上述主動區中。

2. 如申請專利範圍第1項所述之具有垂直型電晶體與深溝槽電容器之記憶體裝置，更包括一溝槽隔離區，設於每一主動區外之區域。

3. 如申請專利範圍第1項所述之具有垂直型電晶體與深溝槽電容器之記憶體裝置，其中上述各凹陷部之兩側邊係沿著45度角向內限縮一既定寬度。

4. 如申請專利範圍第1項所述之具有垂直型電晶體與深溝槽電容器之記憶體裝置，其中上述第一方向係垂直置於



六、申請專利範圍

上述第二方向。

5. 如申請專利範圍第1項所述之具有垂直型電晶體與深溝槽電容器之記憶體裝置，其中上述字元線係由覆晶矽材料所構成。

6. 如申請專利範圍第1項所述之具有垂直型電晶體與深溝槽電容器之記憶體裝置，其中上述溝槽區域係由氧化矽材料所構成。

7. 如申請專利範圍第1項所述之具有垂直型電晶體與深溝槽電容器之記憶體裝置，更包括複數位元線，沿著上述第二方向，設置於上述複數主動區之上方，並與上述主動區中之汲極電性連接。

8. 一種具有垂直式電晶體與溝槽電容器之記憶體裝置的製造方法，包括：

形成複數溝槽於一基板上；

形成一溝槽電容器，於每一上述複數溝槽中；

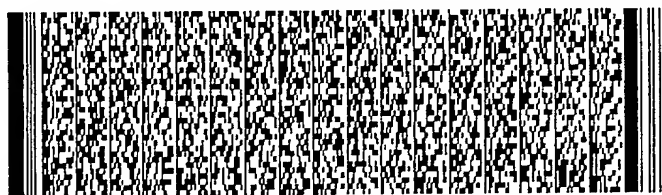
形成兩個源極，於每一上述溝槽電容器之兩側；

設置複數字元線，於複數溝槽電容器之上方，且每一字元線對應於每一溝槽電容器作為閘極之用；

定義複數主動區於上述基板上，其中每一主動區對應於上述溝槽電容器之一列，且每一上述主動區覆蓋於上述溝槽電容器之區域的兩側邊上各具有一凹陷部；以及

以上述字元線為罩幕，於上述字元線兩側之基板中，各形成一汲極。

9. 如申請專利範圍第8項所述之具有垂直型電晶體與



六、申請專利範圍

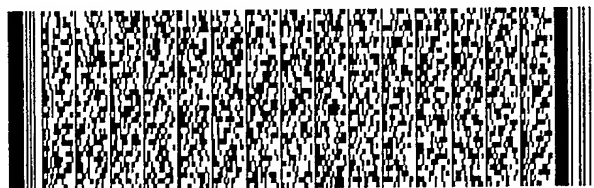
深溝槽電容器之記憶體裝置的製造方法，其中上述各凹陷部之兩側邊係沿著45度角向內限縮一既定寬度。

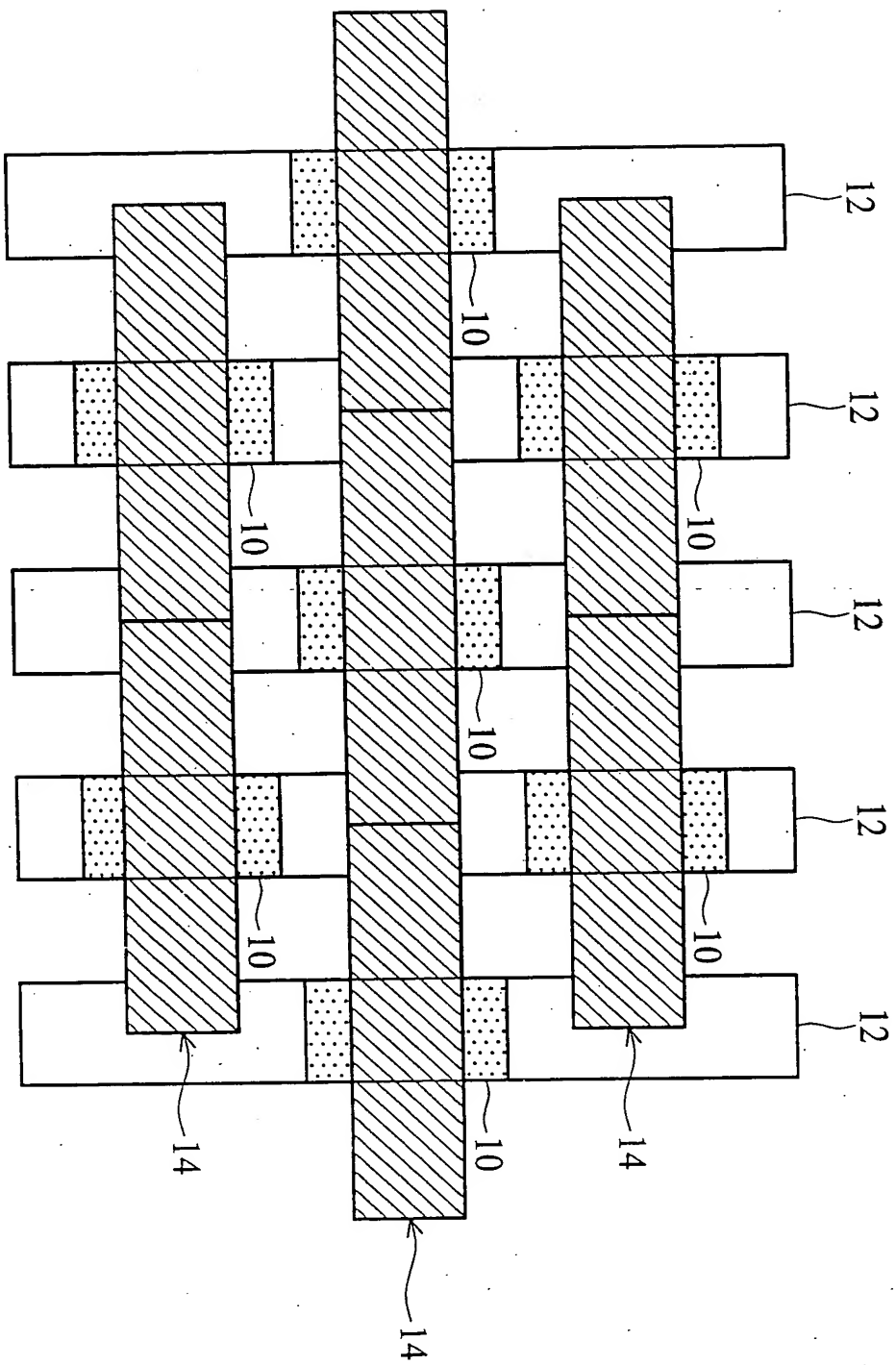
10. 如申請專利範圍第8項所述之具有垂直型電晶體與深溝槽電容器之記憶體裝置的製造方法，其中相鄰兩列之上述複數溝槽係以交錯的方式排列，且相鄰兩列之上述複數溝槽電容器係以交錯的方式排列。

11. 如申請專利範圍第8項所述之具有垂直型電晶體與深溝槽電容器之記憶體裝置的製造方法，其中上述複數字元線係沿著垂直方向排列，對應於上述複數溝槽電容器之每一行。

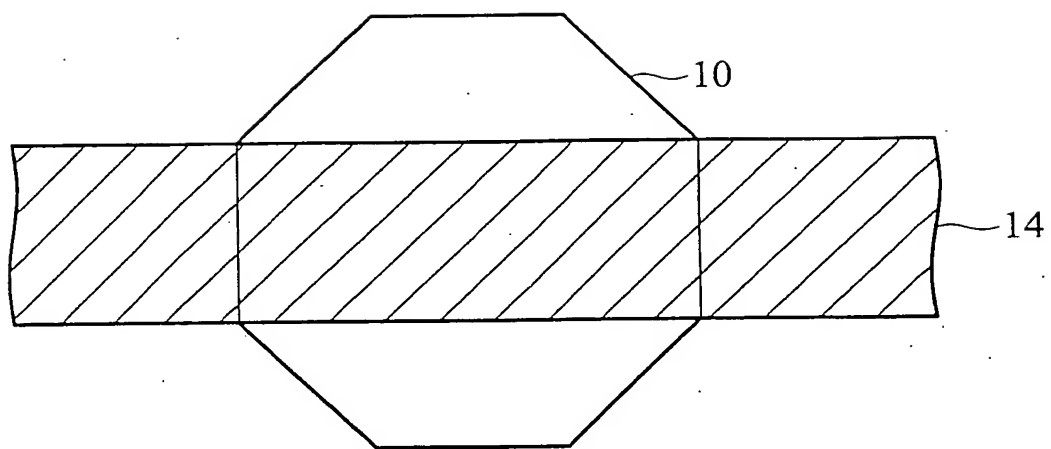
12. 如申請專利範圍第8項所述之具有垂直型電晶體與深溝槽電容器之記憶體裝置的製造方法，更包括形成複數位元線，於上述複數主動區之上方，上述每一位元線係藉由複數個位元線插塞而以上述複數主動區中之汲極電性連接。

13. 如申請專利範圍第8項所述之具有垂直型電晶體與深溝槽電容器之記憶體裝置的製造方法，更包括形成一絕緣層於上述每一深溝槽電容器與上述每一閘極之間，以及上述複數溝槽之側壁上。

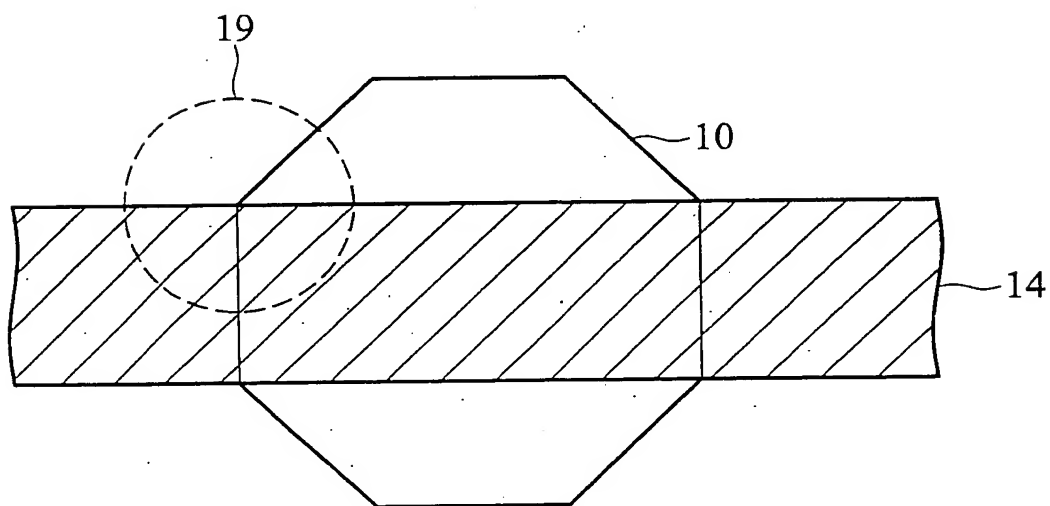




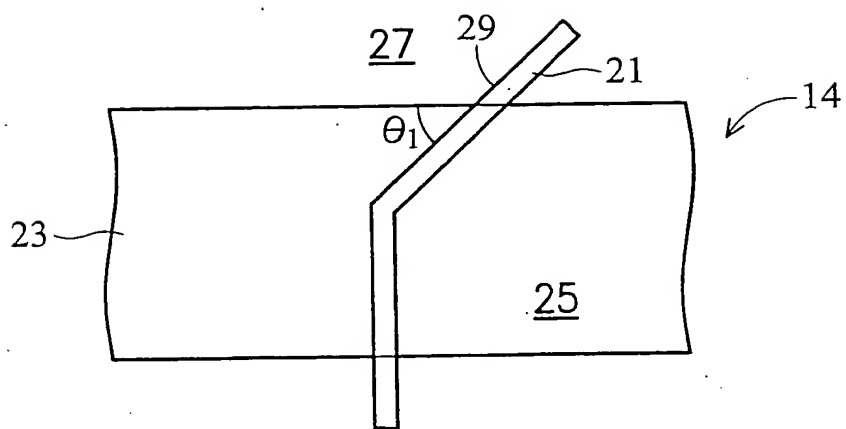
第 1 圖



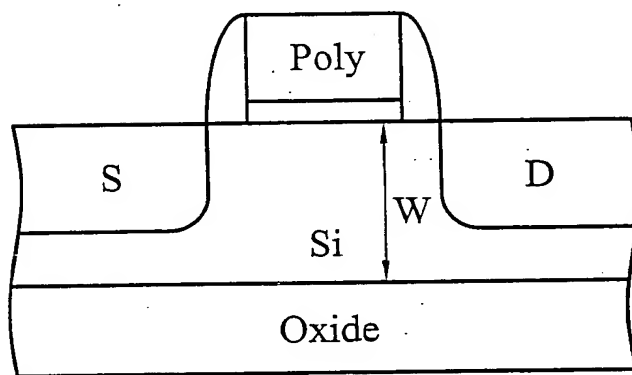
第 2A 圖



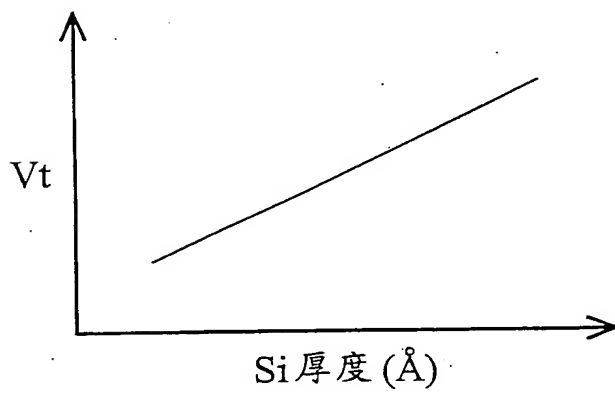
第 2B 圖



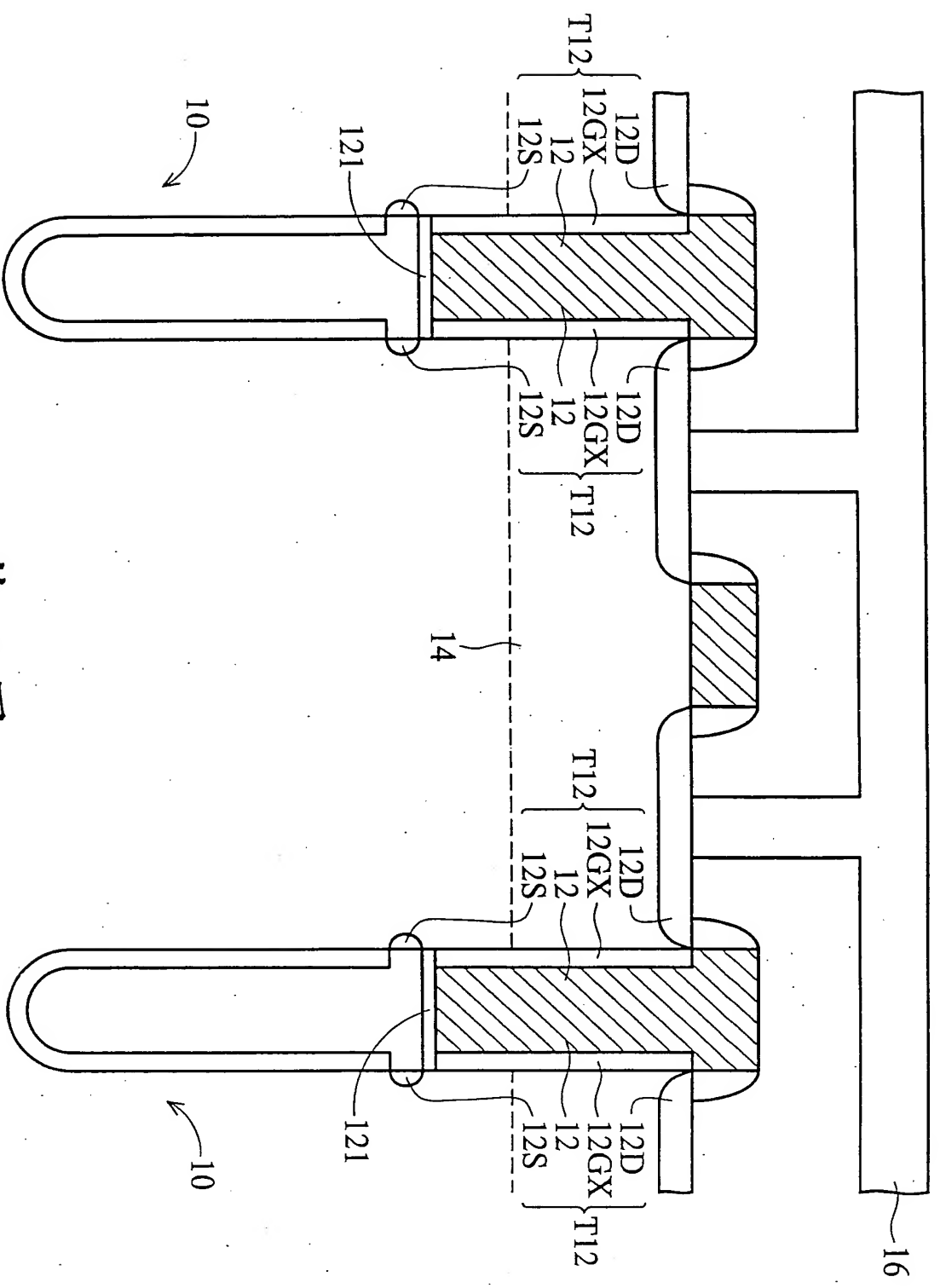
第 3A 圖



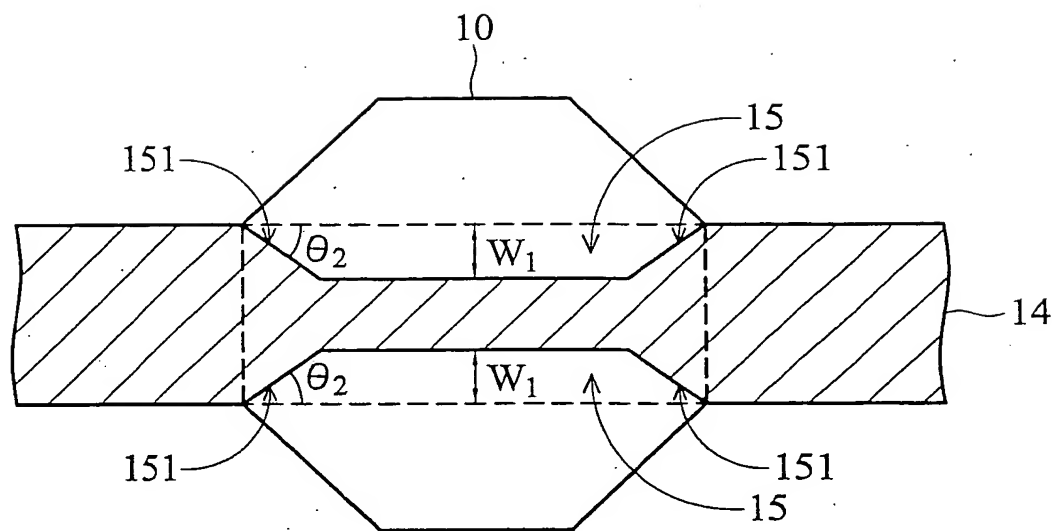
第 3B 圖



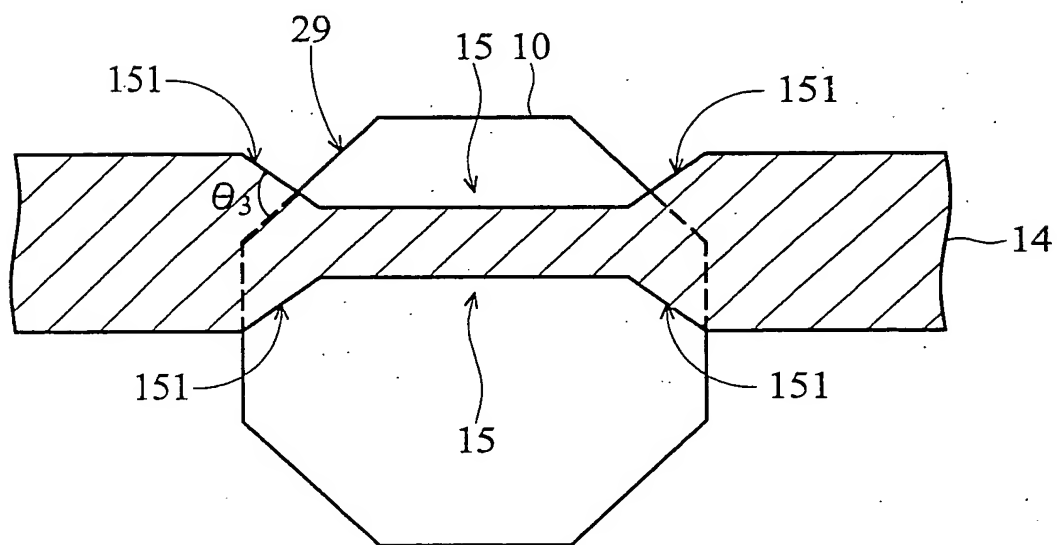
第 3C 圖



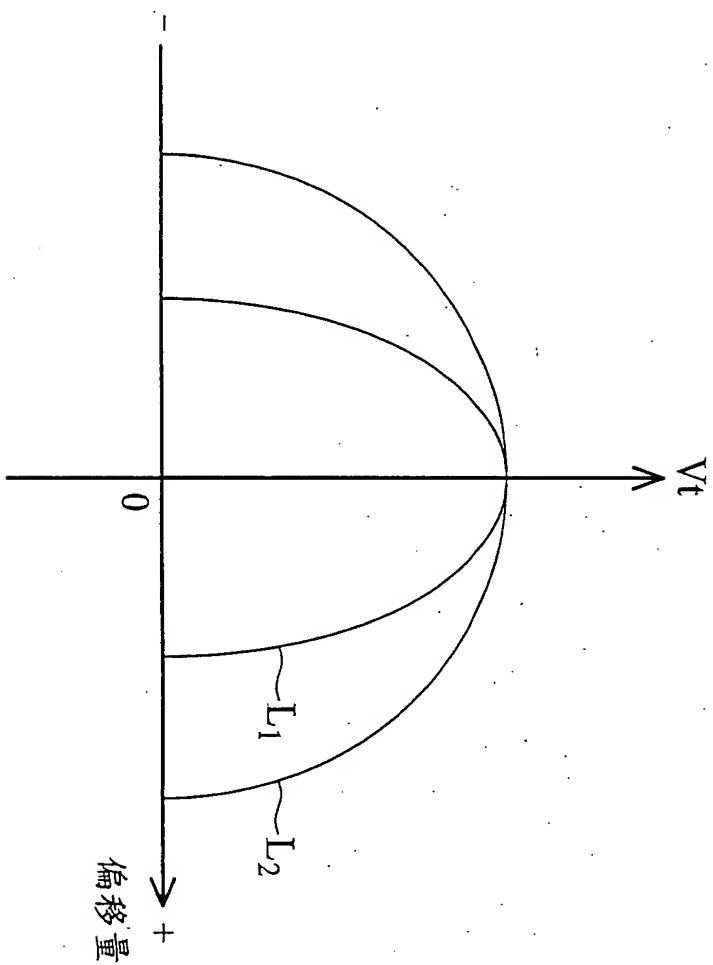
第 4 圖



第6A圖

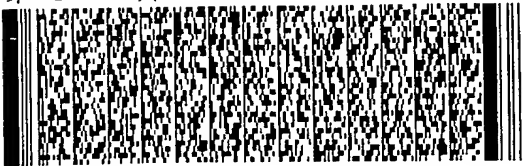


第6B圖

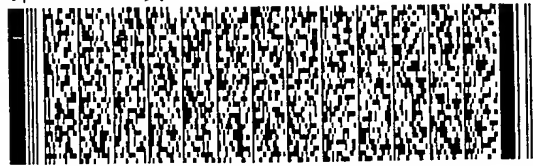


第7圖

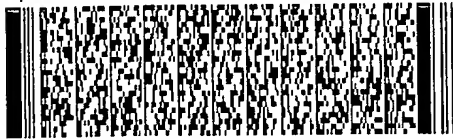
第 1/15 頁



第 1/15 頁



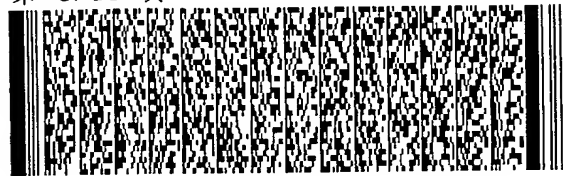
第 2/15 頁



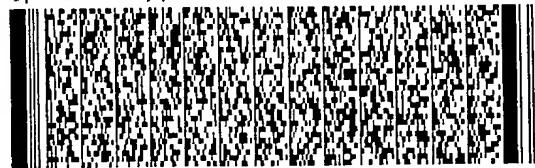
第 3/15 頁



第 3/15 頁



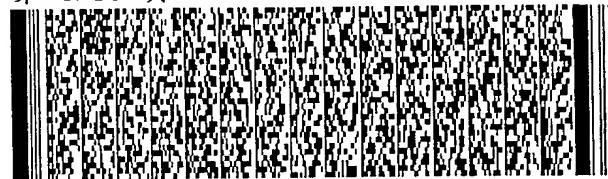
第 4/15 頁



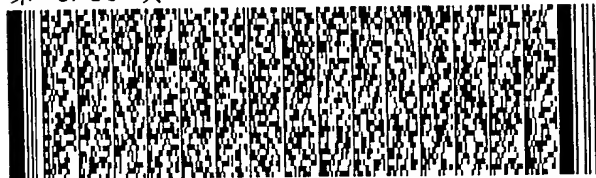
第 5/15 頁



第 6/15 頁



第 6/15 頁



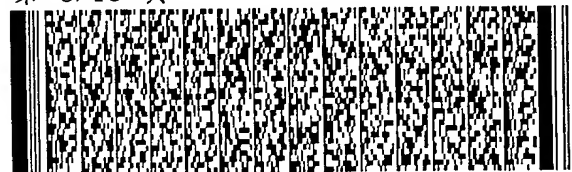
第 7/15 頁



第 7/15 頁



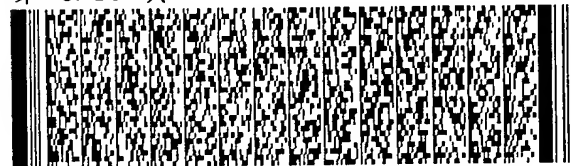
第 8/15 頁



第 8/15 頁



第 9/15 頁



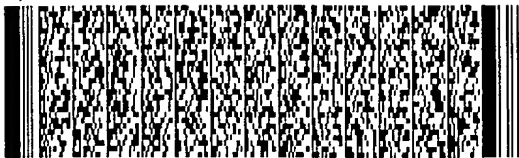
第 9/15 頁



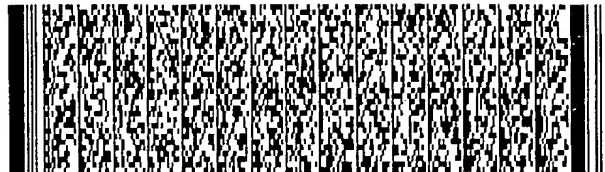
第 10/15 頁



第 10/15 頁



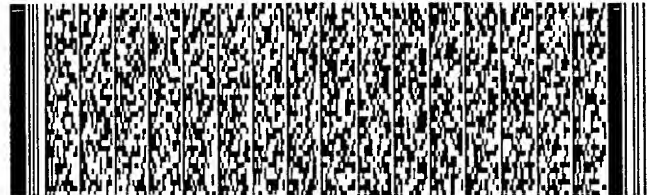
第 11/15 頁



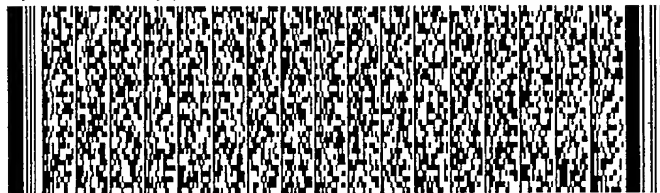
第 12/15 頁



第 13/15 頁



第 14/15 頁



第 15/15 頁

